

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-242229

(43)Date of publication of application : 26.09.1990

(51)Int.CI.

G02F 1/136
G09F 9/30
G09F 9/35
H01L 21/336
H01L 27/12
H01L 29/784

(21)Application number : 01-062044

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 16.03.1989

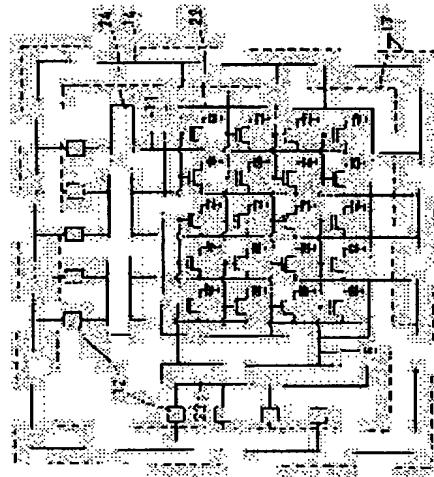
(72)Inventor : HAYASHI SHINICHIRO
SENDA KOJI
YAMAMOTO ATSUYA
FUJII EIJI
EMOTO FUMIAKI

(54) PRODUCTION OF LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To prevent the electrostatic breakdown of TFTs generated by the generation of static electricity and to provide the production process having high reliability by including a stage for connecting the signal lines between a picture element part, perpendicular scanning circuit, horizontal scanning circuit, and bonding pads by a common shorting line in the production process.

CONSTITUTION: The stage for connecting the picture element part 22 constituted of plural picture elements having thin-film transistors, the perpendicular scanning circuit 23 and horizontal scanning circuit 24 for controlling the driving of the picture elements and the bonding pads 12 by the common shorting line 14 is included in the production process for the liquid crystal display device which forms the picture element 22, the perpendicular scanning circuit 23, the horizontal scanning circuit 24, and the bonding pads 12, etc., on a substrate. The same potential is attained between the terminals in this way and the electrostatic breakdown of the TFTs is prevented even if the static electricity is generated during the liquid crystal stage and, therefore, the yield of production is improved and the liquid crystal display device having the high reliability is obtd.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 平2-242229

⑬ Int.CI. ³	識別記号	府内整理番号	⑭ 公開 平成2年(1990)9月26日
G 02 F 1/136	5 0 0	7370-2H	
G 09 F 9/30	3 3 8	6422-5C	
		Z	6422-5C
H 01 L 21/336		A	7514-5F
27/12			
29/784			
		8624-5F	H 01 L 29/78 3 1 1 Z
			審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 液晶表示装置の製造方法

⑯ 特 願 平1-62044
 ⑰ 出 願 平1(1989)3月16日

⑱ 発明者 林 健一郎	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑱ 発明者 千田 耕司	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑱ 発明者 山本 敦也	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑱ 発明者 藤井 英治	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑱ 発明者 江本 文昭	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑲ 出願人 松下電子工業株式会社	大阪府門真市大字門真1006番地	
⑳ 代理人 弁理士 星野 恒司	大阪府門真市大字門真1006番地	

明細書

1. 発明の名称 液晶表示装置の製造方法

2. 特許請求の範囲

基板上に、薄膜トランジスタを有する画素部、その画素を駆動制御する垂直走査回路および水平走査回路、およびポンディング・パッド等を形成する液晶表示装置の製造方法において、上記画素部、垂直走査回路、水平走査回路およびポンディング・パッド等間の信号線を共通の短絡線により接続する製造工程を含むことを特徴とする液晶表示装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、ラップトップパソコン等の表示装置として用いる液晶表示装置の製造方法に関するものである。

(従来の技術)

近年、液晶表示装置は軽量、薄形、低消費電力、あるいは低価格等の特徴を有して、従来のCRT表示装置に代って小型、軽量、平板性が要求され

るラップトップパソコン、あるいは可搬型測定器等の表示装置に用いられるようになった。

第4図は、そのような液晶表示装置の概略平面図、第5図は第4図要部の画素部の部分断面図で、これらの図を参照して従来の液晶表示装置の製造方法を説明する。

両図において、40は石英基板、41はゲート酸化膜、42はゲート電極、43はゲート信号線、44はソース領域、45はドレイン領域、46は層間絶縁膜、47はソース・コンタクト、48はドレイン・コンタクト、49はソース信号線、50はポンディング・パッド、51はコンタクト膜、52は画素電極、53は保護膜、54は液晶配向膜、55は共通電極、56は上面ガラス板、57は液晶、58は画素部、59は垂直走査回路、60は水平走査回路である。

まず、第5図を参照して、石英基板40上に形成させたポリシリコン層をフォトレジストをマスクにして、ドライエッティングすることによりトランジスタ領域を形成し、この上にチャネル領域を形成するために熱酸化シリコン層を形成させ、フォ

トレジストをマスクにドライエッチングしてチャネル領域上にゲート酸化膜41を形成する。

次に石英基板40上にポリシリコン層を形成し、フォトレジストをマスクにしてドライエッチングすることによってポリシリコンによるゲート電極42とゲート信号線43(第4図)を形成する。その後フォトレジストをマスクにしてトランジスタ領域上にP⁺またはAs⁺をイオン注入し、n⁺領域のソース領域44とドレイン領域45とを形成する。

さらに、ソース・コンタクト用の窓とドレイン・コンタクト用の窓を形成した層間絶縁膜46を、酸化シリコン膜(NSG: Non-doped Silicate Glass)により形成し、Al-Si合金膜によるソース・コンタクト47およびドレイン・コンタクト48を形成すると同時に、ソース信号線49とボンディング・パッド50(第4図)を形成させる。

その後Cr等によるコンタクト膜51を形成してから、酸化インジウム錫(Indium Tin Oxide—以下ITOと記す)膜等による西素電極52を形成し、塗化シリコン膜による保護膜53を形成する。

(課題を解決するための手段)

本発明は上記の目的を、基板上に、薄膜トランジスタを有する画素複数により構成する画素部、その画素を駆動制御する垂直走査回路および水平走査回路、およびボンディング・パッド等を形成する液晶表示装置の製造方法において、上記画素部、垂直走査回路、水平走査回路およびボンディング・パッド等間の信号線を共通の短絡線により接続する製造工程を含む製造方法によって達成する。

(作用)

本発明は液晶工程中、画素部や垂直走査回路、水平走査回路を構成するTFTの端子を短絡して製造する工程を有するから、製造中端子間に電位差がなく、したがって液晶工程中に静電気が発生してもTFTの静電破壊が阻止される。

(実施例)

以下、本発明の液晶表示装置の製造方法を図面を用いて一実施例により説明する。

第1図は本発明の一実施例の製造過程における

このようにCMOSプロセスで第4図に示す画素部58を形成すると同時に、垂直走査回路59および水平走査回路60(第4図)を形成する。

その後、液晶工程において第4図の画素部58上に液晶配向膜54(第5図)を形成しラビングして液晶57の注入後、石英基板40と対向する共通電極55を形成した上面ガラス板56を接着し液晶57を封止することにより液晶表示装置が製造される。

(発明が解決しようとする課題)

しかしながら、上記従来の製造方法では液晶工程で液晶配向膜54のラビングや、液晶注入の際に静電気が発生することがあり、それは画素部58や垂直走査回路59、水平走査回路60を構成する薄膜トランジスタ(TFT: Thin Film Transistor)を静電破壊して、表示品質の劣化を生ずる問題点がある。

本発明は上述に鑑み、液晶工程における静電気の発生によって生ずるTFTの静電破壊を阻止して品質よく表示可能な信頼性の高い液晶表示装置の製造方法を提供することを目的とする。

回路構成図、第2図は第1図の画素部の部分平面図、第3図は第2図におけるE-F線断面工程図である。

これらの図において、1は石英基板、2はトランジスタ領域、3はゲート酸化膜、4はゲート電極、5はゲート信号線、6はソース領域、7はドレイン領域、8は層間絶縁膜、9はソース・コンタクト、10はドレイン・コンタクト、11はソース信号線、12はボンディング・パッド、13はコンタクト膜、14は共通短絡線、15は画素電極、16は保護膜、17はエッティング用窓、18は液晶配向膜、19は共通電極、20は上面ガラス板、21は液晶、22は画素部、23は垂直走査回路、そして24は水平走査回路である。

はじめに第3図の工程断面図を参照する。

まず石英基板1上に減圧CVD法によって、厚さ0.2μm程度のポリシリコン層を形成し、フォトレジストをマスクとしてプラズマエッティングによりトランジスタ領域2を形成する(第3図(a))。

次にチャネル領域を形成するために、熱酸化に

より厚さ0.1μm程度の酸化シリコン層を形成し、フォトレジストをマスクに反応性イオンエッティングによりチャネル領域とすべき部位上にゲート酸化膜3を形成する(同図(b))。

その後、減圧CVD法によって厚さ0.3μm程度のポリシリコン層を形成し、フォトレジストをマスクとしてプラズマエッティングによりポリシリコンによるゲート電極4と、第2図に示すゲート信号線5とを形成する(同図(c))。

次にフォトレジストをマスクにしてトランジスタ領域2上に、P⁺またはAs⁺を注入し、n⁻領域のソース領域6とドレイン領域7とを形成する(同図(d))。

その後、常圧CVD法によって厚さ1μm程度のNSG層を形成し、フォトレジストをマスクにして反応性イオンエッティングにより、ソース・コンタクト用窓wとドレイン・コンタクト用窓w'を有する層間絶縁膜8を形成する(同図(e))。

次にDCバイアス・スパッタ法によって厚さ1μm程度のAl-Si合金層を形成し、フォトレジス

トをマスクとしたウェットエッティングにより、ソース・コンタクト9、ドレイン・コンタクト10を形成すると同時に、第2図に示すソース信号線11と、第1図に示すポンディング・パッド12を形成する(同図(f))。

そして高周波マグネットロンスパッタ法により、厚さ0.1μm程度のITO膜を形成した後、フォトレジストをマスクにしてウェットエッティングにより、コンタクト膜13を形成する。このとき同時にゲート信号線5とソース信号線11とポンディング・パッド12とを短絡する共通短絡線14(第1図)を形成する(同図(g))。

その後、液晶工程によって、第1図に示す画素部22にポリイミドによる液晶配向膜18を形成し、ラビングを行なってから液晶21を注入し、石英基板1と対向させて共通電極19を形成した液晶封止用の上面ガラス板20を接着させる(同図(j))。

最後に、エッティング用窓17(第1図)を通じて共通短絡線14をエッティングすることにより、ゲート信号線5、ソース信号線11、およびポンディング・パッド12とを分離し本発明の液晶表示装置の製造方法が終る。

以上のように本発明の製造方法は製造過程で、

トをマスクとしたウェットエッティングにより、ソース・コンタクト9、ドレイン・コンタクト10を形成すると同時に、第2図に示すソース信号線11と、第1図に示すポンディング・パッド12を形成する(同図(f))。

そして画素電極として、たとえば、ITO等の酸化膜を用いるために、酸化膜の作成時にドレイン・コンタクト10のAl-Si合金が酸化されないように、ドレイン・コンタクト10を埋う、酸化されにくい金属、たとえばCr膜やNi膜を、高周波マグネットロンスパッタ法により、350℃の成長温度で厚さ0.2μm程度形成した後、フォトレジストをマスクにしてウェットエッティングにより、コンタクト膜13を形成する。このとき同時にゲート信号線5とソース信号線11とポンディング・パッド12とを短絡する共通短絡線14(第1図)を形成する(同図(g))。

そして高周波マグネットロンスパッタ法により、厚さ0.1μm程度のITO膜を形成した後、フォトレジストをマスクにしてウェットエッティングによ

ゲート信号線5、ソース信号線11、およびポンディング・パッド12を共通短絡する工程を設けて、製造中の静電気発生を防止し画素部(TFT)の破壊を阻止するものである。

なお、上述した実施例はゲート電極として、シングルゲート構造により説明したが、これはデュアルゲートに構成されていても同様であり、またTFTとしてP⁺やAs⁺をイオン注入したn型トランジスタを使用したが、これはB⁺をイオン注入したp型トランジスタであってもよいこと、あるいは画素部、垂直走査回路、水平走査回路またはTFTの構造等について本発明が限定されることは当然である。

(発明の効果)

以上、説明して明らかなように本発明は液晶表示装置の製造における画素部や、垂直走査回路や水平走査回路を構成するTFTの端子を短絡して製造するから、端子間が同電位となって静電気が発生しても端子間に電位差がなく、したがってTFTの静電破壊が阻止される製造方法であるから、

製造の歩留りが向上し、信頼度の高い液晶表示装置が製造できる大きな効果がある。

4. 図面の簡単な説明

第1図ないし第3図は本発明の一実施例を説明する図で、第1図は液晶表示装置の製造過程における回路構成図、第2図は第1図の画素部の部分平面図、第3図は画素部の製造過程における工程断面図、第4図、第5図は従来例を説明する図で、第4図は液晶表示装置の平面概略構成図、第5図は画素部の部分断面図である。

1 … 石英基板、 2 … トランジスタ領域、 3 … ゲート酸化膜、 4 … ゲート電極、 5 … ゲート信号線、 6 … ソース領域、 7 … ドレイン領域、 8 … 層間絶縁膜、 9 … ソース・コンタクト、 10 … ドレイン・コンタクト、 11 … ソース信号線、 12 … ボンディング・パッド、 13 … コンタクト膜、 14 … 共通短絡線、 15 … 画素電極、 16 … 保護膜、 17 … エッチング用窓、

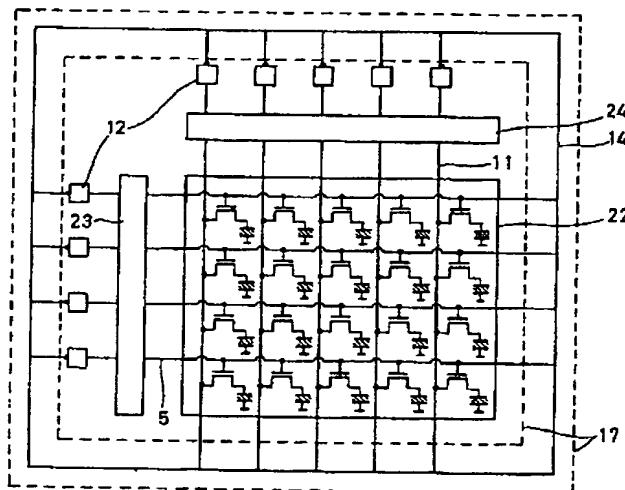
18 … 液晶配向膜、 19 … 共通電極、
20 … 上面ガラス板、 21 … 液晶、 22 … 画素部、 23 … 垂直走査回路、 24 … 水平走査回路。

特許出願人 松下電子工業株式会社

代理人 星野恒

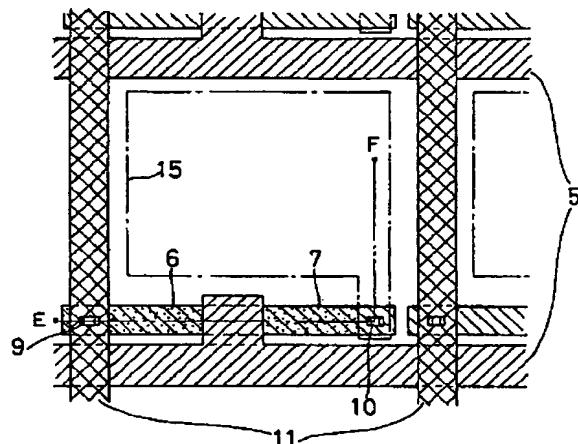


第1図



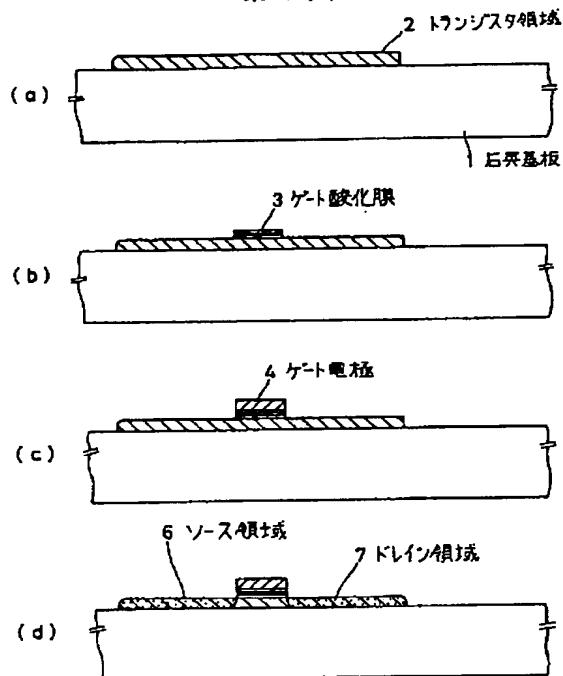
5…ゲート信号線
11…ソース信号線
12…ボンディング・パッド
14…共通短絡線
17…エッチング用窓
22…画素部
23…垂直走査回路
24…水平走査回路

第2図

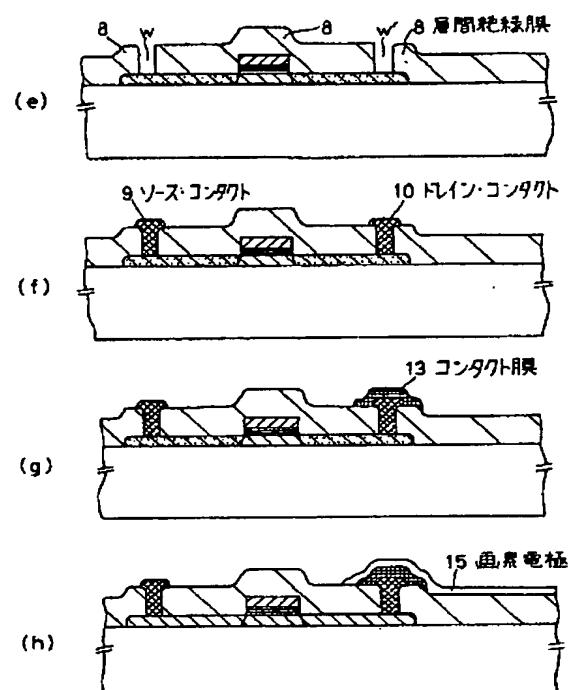


5…ゲート信号線
6…ソース領域
7…ドレイン領域
9…ソース・コンタクト
10…ドレイン・コンタクト
11…ソース信号線
15…画素電極

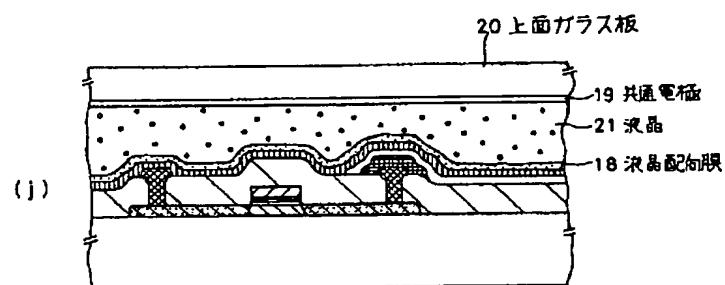
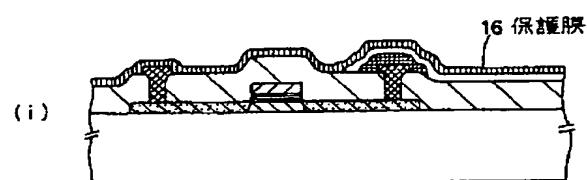
第3図



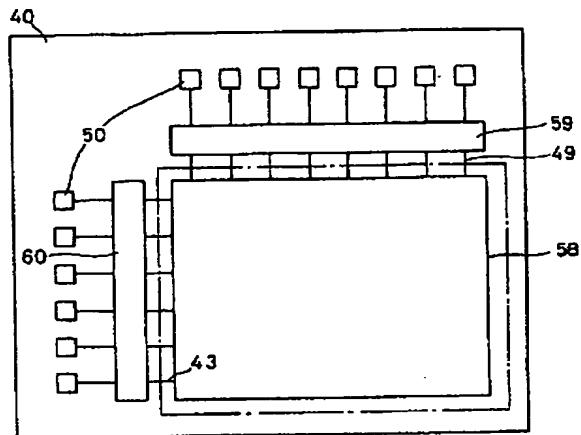
第3図



第3図

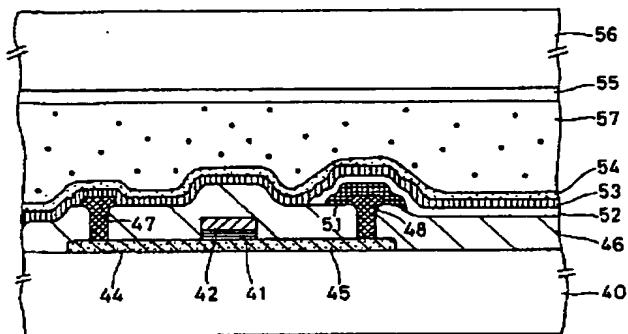


第4図



- 40-石英基板
- 43-ゲート信号線
- 46-ソース電極
- 50-ボンディング・パッド
- 58-画素部
- 59-垂直走査回路
- 60-水平走査回路

第5図



- | | |
|---------------|-----------|
| 40-石英基板 | 51-コンタクト膜 |
| 41-ゲート酸化膜 | 52-画素電極 |
| 42-ゲート電極 | 53-保護膜 |
| 44-ソース領域 | 54-液晶配向膜 |
| 45-ドレイン領域 | 55-共通電極 |
| 46-層間絶縁膜 | 56-上面ガラス板 |
| 47-ソース・コンタクト | 57-液晶 |
| 48-ドレイン・コンタクト | |